

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.





## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09191131 A**(43) Date of publication of application: **22.07.97**

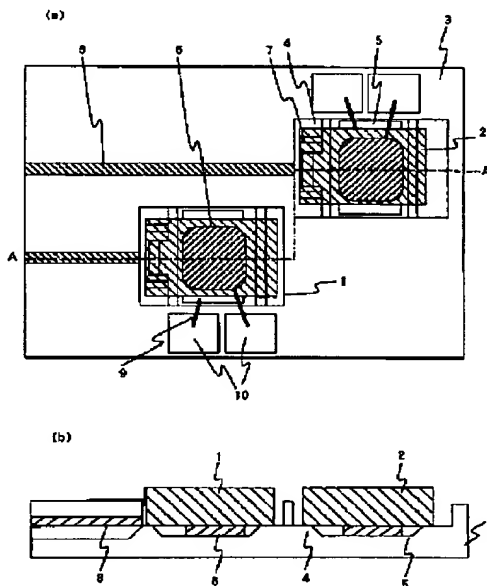
(51) Int. Cl

**H01L 33/00****H01L 31/02**(21) Application number: **08003611**(71) Applicant: **HITACHI LTD**(22) Date of filing: **12.01.96**(72) Inventor: **YOSHIDA KOJI****(54) OPTICAL ASSEMBLY****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To improve the accuracy of securing an optical semiconductor element on a mount board to be mounted with an optical element in the direction of bonding, and prevent a metal alloy for bonding from flowing out to the light receiving surface or light emitting surface of the semiconductor element, by forming a step on the mount board in the position where the optical semiconductor element is to be secured.

**SOLUTION:** A terrace 4 is formed on a silicon substrate 3 by etching, and a lower clad layer is formed. The lower clad layer is polished to the level of the terrace 4, and then a core layer is deposited. A pattern is formed, and recesses 5 of step structure, a waveguide 8 and a mating mark 7 are formed. An upper clad layer is formed, and then the terrace 4 is exposed. An optical semiconductor element 1 is fixed on the terrace 4 for alignment. Because of the presence of the recesses 5 for joining, a metal alloy film 6 for bonding stays within the recesses 5, and is prevented from flowing out to the end faces of semiconductor elements to be mounted. The semiconductor elements 2 are secured in an element mounting sections, and are connected with each other using a gold wire.

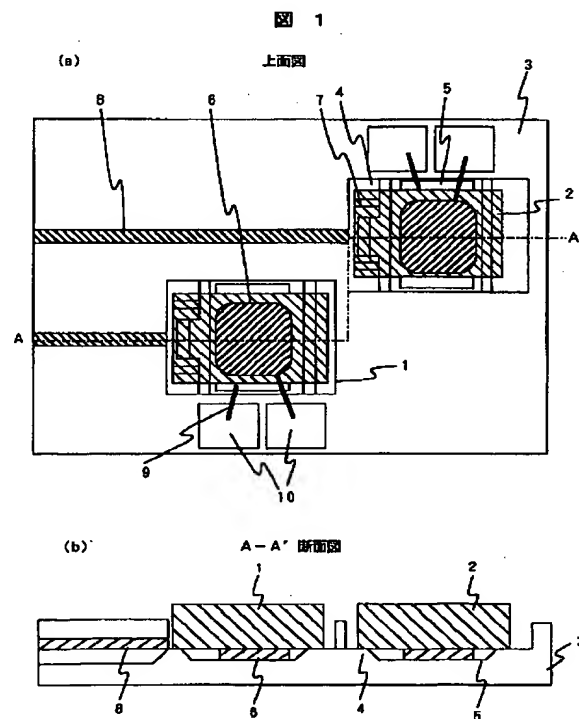
COPYRIGHT: (C)1997,JPO





(11)特許出願公開番号

(43)公開日 平成9年(1997)7月22日





## 【特許請求の範囲】

【請求項1】表面に光導波路が形成されたマウント基板と、前記マウント基板上に搭載された少なくとも一つの光半導体素子と他の半導体素子を有し、前記光半導体素子に設けられた電極パターンと前記マウント基板に設けられた電極パターンとを金属合金を介して固定してなる光半導体装置において、前記マウント基板上の前記光半導体素子を固定する位置に段差構造を形成したことを特徴とする光アセンブリ。

【請求項2】表面に光ファイバを固定するためのV溝が形成されたマウント基板と、前記V溝に固定される光ファイバと、前記マウント基板上に搭載された少なくとも一つの光半導体素子と他の半導体素子を有し、前記光半導体素子に設けられた電極パターンと前記マウント基板に設けられた電極パターンとを金属合金を介して固定してなる光半導体装置において、前記マウント基板上の前記光半導体素子を固定する位置に段差構造を形成したことを特徴とする光アセンブリ。

【請求項3】請求項1または2において、段の上面と光半導体素子に位置合わせのためのインデックスを形成した光アセンブリ。

【請求項4】前記半導体素子が光導波路構造よりなり、また発光作用を有し、その光軸高さが±3ミクロン以内で前記マウント基板上の前記光導波路の光軸高さとも一致している請求項1、2または3に記載の光アセンブリ。

【請求項5】半導体素子が光導波路構造よりなり、また受光作用を有し、その光軸高さが±3ミクロン以内でマウント基板上の光導波路の光軸高さとも一致している請求項1、2、3または4に記載の光アセンブリ。

【請求項6】前記発光素子に接続する前記光導波路と前記受光素子に接続する前記光導波路が光学的に結合する請求項1、2、3、4または5に記載の光アセンブリ。

【請求項7】搭載した前記光半導体素子の搭載された溝が蓋により覆われた請求項1、2、3、4、5または6に記載の光アセンブリ。

【請求項8】搭載した前記光半導体素子の搭載された溝の内、前記光導波路経路が樹脂により埋めこまれた請求項1、2、3、4、5、6または7に記載の光アセンブリ。

【請求項9】請求項1、2、3、4、5、6、7または8に記載の光アセンブリを用いた光伝送モジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は光加入者システム、光インタコネクトシステム等に適用する低コスト光モジュール、光アセンブリに関する。

## 【0002】

【従来の技術】従来の技術は、回路実装学会誌Vol. 10 No. 5(1995)において伊藤らの報告がある。光半導体モジュールは、光通信システムを構成する基本

デバイスであり、これらは、発光素子であるレーザダイオード(LD)、受光素子であるフォトダイオードと光ファイバ、あるいは光導波路、これらを光学的に結合させるレンズ、及びこれらを固定し実装する基板から構成される。この中で、光半導体素子とマウント基板を固定する場合には、マウント基板上に電極パターンを形成し、かつ光半導体素子の裏面にも金属膜による電極パターンを形成し固着する。

【0003】光半導体素子を光導波路または光ファイバに低損失に光結合させる場合、光軸に対して1μm以下の位置合わせの精度が必要となる。マウント基板に対して平行な方向に対しては、合わせマークをマウント基板及び光半導体素子に形成し、近赤外光を透過させ、同時に合わせマークを観察し、位置合わせを行う方法やソルダの表面張力を利用したセルフアライメント等の方法が低コスト実装方法として提案されている。マウント基板に対して垂直な方向に対しては、基板側にスタンドオフ、半導体素子側にノッチを設けてそれらを接触させて高さ方向の位置合わせを行う方法が提案されている。

## 【0004】

【発明が解決しようとする課題】本発明の目的は、マウント基板に垂直な方向、すなわち、半導体素子とマウント基板を接合する方向の固定精度の改善と固定のための金属合金の半導体素子の受/発光面への流出を防ぐ光アセンブリ構造を提案することにある。

## 【0005】

【課題を解決するための手段】上記目的を達成するために、光半導体素子を搭載するマウント基板上の光半導体素子を固定する位置に段差構造を形成した。その段差構造の上段に光半導体素子を直接接合させ、固定のための金属膜は、段差構造の下段にのみ接合させる。このように、固定位置を決定するための段と接合するための段とを分けて形成することにより、光半導体素子の固定精度を向上させることが可能となる。また、段があるために、溶融し段に広がった金属合金が光半導体素子端面に流出することを防ぐことも可能となる。

## 【0006】

## 【発明の実施の形態】

(実施例1) 本発明の実施例を図1に示す。この実施例の製造方法は、まず、エッチングによりシリコン基板3にテラス4を形成し、火炎堆積法により下部クラッド層を形成する。次に堆積したクラッド膜をテラスの高さまで研磨した後、コア層を堆積し、ドライエッチングでパターン形成を行い、段差構造の凹部5、導波路8、合わせマーク7を形成する。上部クラッド層を再び火炎堆積法によって形成した後、ドライエッチングでSiテラス部を露出させる。シリコンと石英のエッチングレートの差により、エッチングは半導体素子が接触するシリコン表面で停止する。一方凹部の深さ(2μm〜8μm)は、エッチングレートが毎分0.1〜1μm程度に制御



できるため、時間管理で再現性よく制御することが可能である。次に、電子ビーム蒸着法によりチタン、白金、金からなる電極10を形成し、パタニングする。固定のための金属合金膜6 (AuSn薄膜) は、光半導体素子電極上に蒸着法により下部の段の容積より大きくならないような厚さ(3 $\mu$ m~9 $\mu$ m)で形成する。

【0007】光半導体素子1は、赤外光透過法により半導体素子と基板に形成した合わせマーク7を赤外線カメラによって同時に観測し平面方向の位置合わせを行った後、加重を加えつつ加熱し、光半導体素子1を位置固定用の段4に固定する。光半導体素子とマウント基板の基板に垂直な方向の位置は、位置固定用の段4と光半導体素子の接触面で決定される。また、固定のための金属合金膜6は、接合用の段5があるため、その内に留まり、光半導体素子端面への流出は防がれる。次に、同様な方法で半導体素子2を素子搭載部に固着する。さらに、それぞれの半導体素子を金ワイヤ9で接続し、電気的接続をとり、実施例1を完成する。

【0008】(実施例2) 次に、図2を用いて他の実施例を説明する。この実施例の製造方法は、先ずシリコンの異方性エッチングにより側壁が(111)面となるV溝11を形成する。次にパターン形成を行い、段差構造の凹部5、合わせマーク7を形成する。凹部の深さ(2 $\mu$ m~8 $\mu$ m)は、エッチングレートが毎分0.1~1 $\mu$ m程度に制御できるため、時間管理で再現性よく制御することが可能である。次に、電子ビーム蒸着法によりチタン、白金、金からなる電極10を形成し、パタニングする。固定のための金属合金膜6 (AuSn薄膜) は、光半導体素子電極上に蒸着法により下部の段の容積より大きくならないような厚さ(3 $\mu$ m~9 $\mu$ m)で形成する。

【0009】光半導体素子1は、赤外光透過法により半 \*

\* 導体素子と基板に形成した合わせマーク7を赤外線カメラによって同時に観測し平面方向の位置合わせを行った後、加重を加えつつ加熱し、光半導体素子を位置固定用の段4に固定する。光半導体素子1とマウント基板3の基板に垂直な方向の位置は、位置固定用の段4と光半導体素子1の接触面で決定される。また、固定のための金属合金膜6は、接合用の段5があるため、その内に留まり、光半導体素子端面への流出は防がれる。さらに、光半導体素子1を金ワイヤ9で接続し、電気的接続をとり、最後に光ファイバ11を接着剤で固定し実施例2を完成する。

#### 【0010】

【発明の効果】本発明により、光半導体素子の搭載位置精度が0.2 $\mu$ m以下に抑えられる。特に、固定位置を決める上段の高さは、光導波路のコア層と一致しているため、結果として光半導体素子と光導波路又は光ファイバの結合損失のばらつきを0.2dB以下にすることができ、また、溶ダの光半導体素子端面への流出も防ぐことができることから、結果として歩留りを向上させることができ、デバイスの低価格化に対しても大きな効果を発揮することができる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施例の光アセンブリの平面図および断面図。

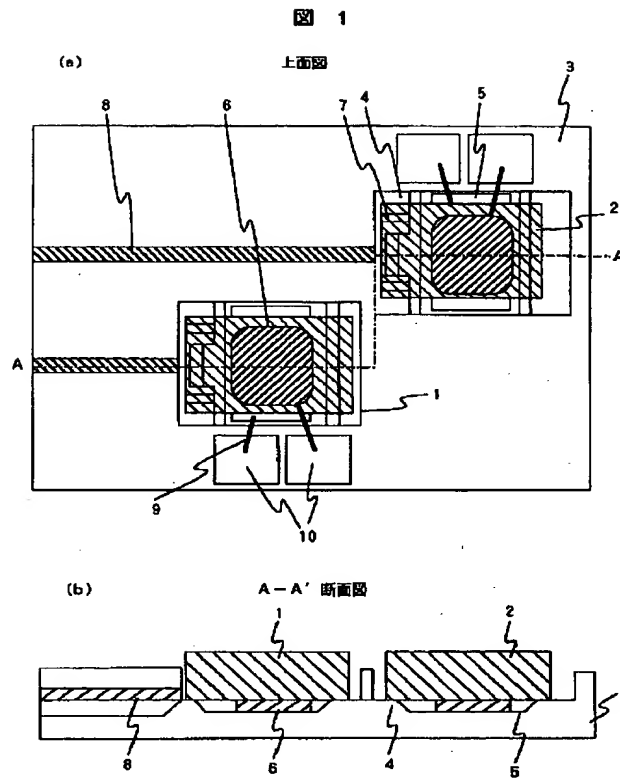
【図2】本発明の第二の実施例の光アセンブリの平面図および断面図。

#### 【符号の説明】

1…光半導体素子、2…光半導体素子、3…マウント基板、4…位置固定用段、5…接合用段、6…金属合金膜、7…位置合わせ用合わせマーク、8…光導波路、9…金ワイヤ、10…電極、11…V溝、12…光ファイバ。



【図1】



【図2】

